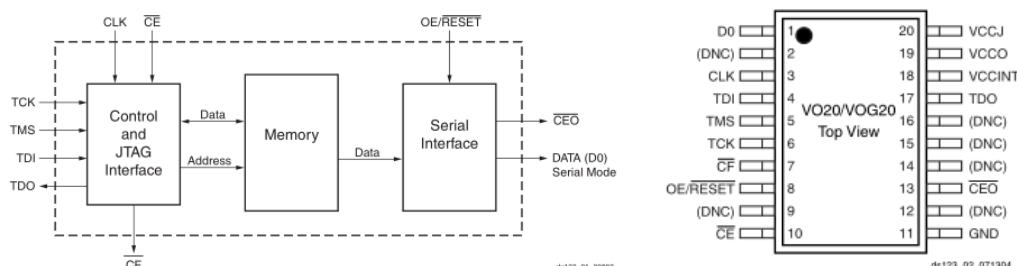


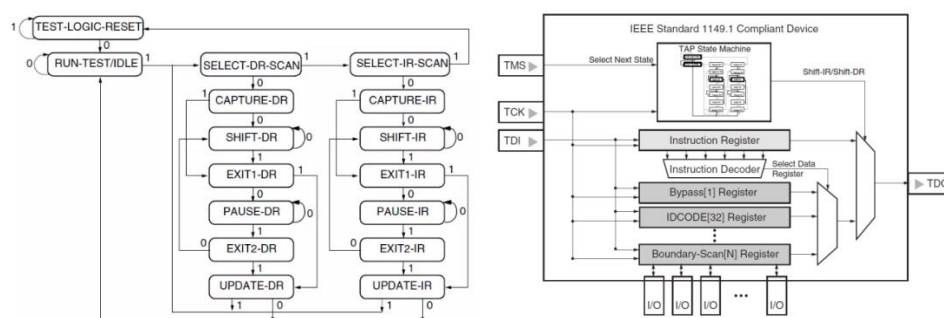
# STS6100 指令集应用之 XCFxxS 系列 FLASH 测试简介

## 一、芯片简介

XCFxxS 是 XILINX 公司生产的一系列主要用于对 FPGA 进行配置的 FLASH 芯片，其内部结构及引脚排序具体如下：



XCFxxS 系列存储器兼容 IEEE 1149.1 边界扫描标准和 IEEE 1532 系统内配置标准。提供了测试访问端口(TAP)和寄存器，以支持所有必需的边界扫描指令，以及 IEEE Std. 1149.1 指定的许多可选指令，TAP 方框图及 JTAG 指令示意图如下：



XCFxxS 系列存储器的写入只能通过 JTAG 接口实现，芯片内存储数据的读出可以通过 JTAG 接口读出，也可以通过 D0 口读出。XCFxxS 系列存储器芯片作为 FPGA 的配置芯片使用时，一般是通过相关软件如 iMPACT 将程序通过 JTAG 接口保存至 XCFxxS 系列存储器中，存储器对 FPGA 的配置过程为芯片的控制管脚提供相应的配置电平，并提供适当频率的时钟，使 D0 管脚输出数据至 FPGA 中，完成 FPGA 的配置。

## 二、芯片测试

对芯片的测试思路大致为：1、按照 IEEE1149 标准通过 XCFxxS 系列存储器的 JTAG 接口实现对芯片的读写操作；2、通过对芯片控制管脚提供适当电平使芯片 D0 管脚输出数据。

通过 D0 管脚输出数据只需按照如下真值表进行操作即可。

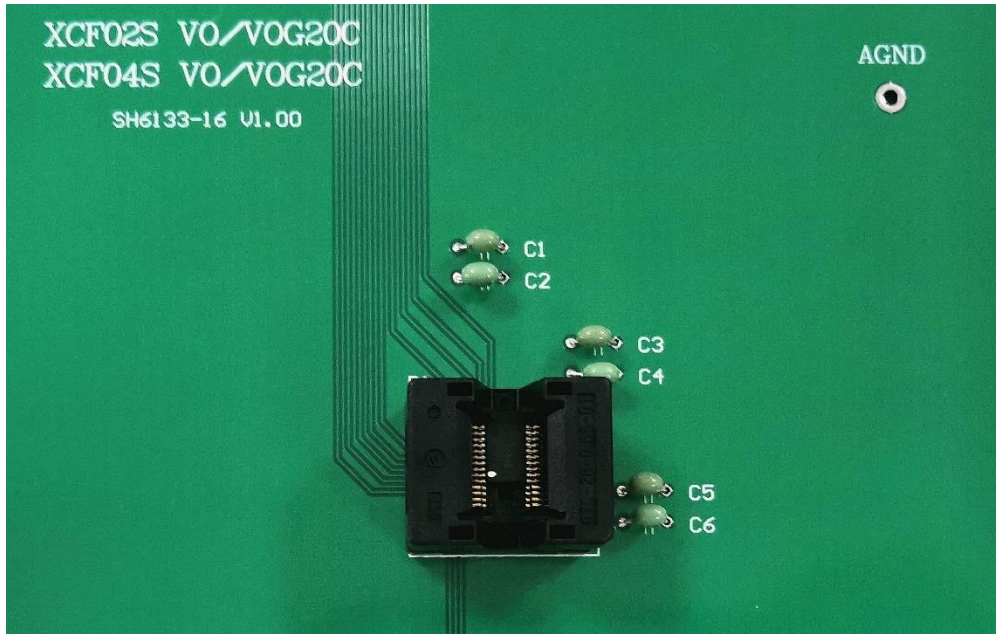
Control Inputs		Internal Address	Outputs		
OE/RESET	CE		DATA	CEO	ICC
High	Low	If address < TC <sup>(2)</sup> : increment	Active	High	Active
		If address = TC <sup>(2)</sup> : don't change	High-Z	Low	Reduced
Low	Low	Held reset	High-Z	High	Active
X <sup>(1)</sup>	High	Held reset	High-Z	High	Standby

通过 JTAG 接口实现对 XCFxxS 系列 FLASH 的读写只需按照 IEEE 1149 协议的相关内容通过 JTAG 接口给芯片提供相关指令即可实现对 XCFxxS 系列存储器的读、写、擦除及读保护等操作。

下面简单讲解一下 STS6100 的一些指令在对 FLASH 进行编程测试时的一些应用。XCFxxS 系列 FLASH 的地址通过 TCK 的上升沿自加一，每 512Byte 为一个 Block。可以利用 STS6100 的 call、ret 指令实现模块化编程，实现 Block 编程的模块化；通过 Ldj1~3、jfor1~3 实现对芯片固定次数的循环数据组的写入或读出；通过 rpt 指令配合时钟设置的

rate 时长可以设定固定精准的延时时间；通过 ldfc、fjump 指令实现对标志位的不间断读取比较，重复循环至标志位有效再继续往下顺序执行指令，大大缩减了对 FLASH 的写入时间，各个指令的详细介绍如下表：

序号	助记符	功能	操 作 内 容
1	inc	顺序执行	执行本行指令后，顺序执行下一行指令。
2	rpt	重复执行	重复执行本行指令，达到设定次数后顺序执行下一行指令。
3	ldfc	失效转移次数	与 fjump 指令配合使用：若失效转移达到指定次数后测试结果仍为“失效”，则立即终止执行全部程序，并判本项测试失效。
4	fjump	失效转移	执行本行指令后，若测试结果为“失效”，则转移执行设定地址所在行的指令，否则顺序执行下一行指令。
5	Ldj1~3	置 J 循环次数	与 jfor 指令配合使用：执行本行指令后，置循环次数，并顺序执行下一行指令。
6	jfor1~3	J 循环	执行本行指令后，转移执行设定地址所在行的指令，直至达到 jfor 指令设定的循环次数后，顺序执行下一行指令。
7	call	调用子程序	执行本行指令后，转移执行设定地址所在的子程序首行。
8	ret	返回主程序	与 call 指令配合使用：执行本指令后，子程序结束，转移执行对应 call 指令所在行的下一行指令。
9	hlt	执行结束	执行本行指令后，本段测试图形程序执行结束。



上图为测试适配器，可测器件为 XCF02S 和 XCF04S，封装为 VOG20C。如果对该系列产品的测试感兴趣，欢迎咨询华峰小微。